

Вопросы экзамена по дисциплине УЦОС

1. Вопросы к экзамену	1
1.1. Элементная база программируемой логики	1
1.2. Проектирование ЦУ на ПЛИС	2
1.3. Язык описания аппаратуры Altera HDL	3
2. Источники информации.....	4
2.1. Рекомендуемая литература.....	4
2.2. Файлы методических пособий	4
3. Пояснения по экзамену	4
3.1. Структура билетов.....	4
3.1. Особенности сдачи экзамена.....	4

1. ВОПРОСЫ К ЭКЗАМЕНУ

1.1. Элементная база программируемой логики

1.1.1. Стандартные программируемые логические устройства

1. Классификация и эволюция БИС стандартных ПЛУ. Реализация ПЛ на ПЗУ.
2. Классификация и эволюция БИС стандартных ПЛУ. Структура программируемой логической матрицы (ПЛМ).
3. Классификация и эволюция БИС стандартных ПЛУ. Структура программируемой логической матрицы (ПЛМ [PLA]).
4. Классификация и эволюция БИС стандартных ПЛУ. Структура программируемого логического контроллера (ПЛК [PLS]).
5. Классификация и эволюция БИС стандартных ПЛУ. Структура программируемой матричной логики (ПМЛ [PAL]).
6. Классификация и эволюция БИС стандартных ПЛУ. Структура обобщенной программируемой матричной логики (ОПМЛ [GAL]).
7. Классификация и эволюция БИС стандартных ПЛУ. Структура программируемых логических устройств (ПЛУ [PLD]).

1.1.2. Характеристика ПЛИС

8. Общая характеристика ПЛИС, классификация ПЛИС.
9. Общая характеристика ПЛИС. Основные параметры. Тенденции развития.
10. Типовые компоненты архитектуры ПЛИС. Функциональные преобразователи и система внутренних соединений.
11. Типовые компоненты архитектуры ПЛИС. Обобщенная структура функционального преобразователя ПЛИС, типы логических преобразователей.
12. Типовые компоненты архитектуры ПЛИС. Способы построения встроенной памяти.

1.2. Проектирование ЦУ на ПЛИС

1.2.1. Оборудование для проектирования

13. Характеристика лабораторного макета для исследования цифровых устройств на ПЛИС: основные ресурсы, микросхемы ПЛИС, средства ввода-вывода данных, конфигурирование.
14. Встроенные средства конфигурирования и тестирования цифровых устройств.
15. Архитектура встроенных средств конфигурирования и тестирования цифровых устройств.
16. Интерфейс JTAG для конфигурирования и тестирования цифровых устройств.
17. Устройства загрузки конфигурации ПЛИС.

1.3. Язык описания аппаратуры Altera HDL

18. Характеристика современной методологии текстового описания цифровых устройств. Основные языки описания аппаратуры.
19. Общая характеристика языка AHDL. Основные средства языка AHDL.
20. Общая характеристика языка AHDL. Выражения и операторы языка AHDL.
21. Общая характеристика языка AHDL. Структура описания проекта на языке AHDL.
22. Структура описания проекта на языке AHDL. Описание входов, выходов и внутренних узлов устройств.
23. Структура описания проекта на языке AHDL. Описание и использование переменных.
24. Структура описания проекта на языке AHDL. Описание многоразрядных шин. Использование групп и временных групп.
25. Структура описания проекта на языке AHDL. Использование Констант.
26. Структура описания проекта на языке AHDL. Задание исходных значений сигналов.
27. Структура описания проекта на языке AHDL. Использование параметров.
28. Структура описания проекта на языке AHDL. Описание параметризованных модулей.
29. Структура описания проекта на языке AHDL. Описание иерархических проектов на языке AHDL.
30. Операторы и конструкции языка AHDL и особенности их применения. Оператор IF-THEN-ELSE.
31. Операторы и конструкции языка AHDL и особенности их применения Оператор Case.
32. Операторы и конструкции языка AHDL и особенности их применения. Таблицы истинности.
33. Операторы и конструкции языка AHDL и особенности их применения. Оператор цикла FOR GENERATE.
34. Описание комбинационных узлов на языке AHDL.
35. Описание последовательностных узлов на языке AHDL. Базовые примитивы триггеров.
36. Описание последовательностных узлов на языке AHDL. Использование D-триггеров и описание параллельных регистров.
37. Описание последовательностных узлов на языке AHDL. Использование D-триггеров и описание последовательных регистров (регистров сдвига).
38. Различные типы линий связи на языке AHDL. Трёхстабильные линии.
39. Различные типы линий связи на языке AHDL. Двухнаправленные линии.
40. Различные типы линий связи на языке AHDL. Линии "открытый сток".

2. ИСТОЧНИКИ ИНФОРМАЦИИ

2.1. Рекомендуемая литература

2.1.1. Основная

1. Лекции по дисциплине.
2. Стешенко В.Б. ПЛИС фирмы Altera: проектирование устройств обработки сигналов. – М.: Додека, 2000.
3. Комолов Д.А., Мяльк Р.А., Зобенко А.А., Филиппов А.С. Системы автоматизированного проектирования фирмы Altera Max+Plus II и Quartus II. Краткое описание и самоучитель. – М.: ИП РадиоСофт, 2002 – 352 с.: ил.
4. Антонов А.П. Язык описания цифровых устройств AlteraHDL. Практический курс. - М.: ИП РадиоСофт, 2001.- 224 с.

2.1.2. Дополнительная

1. Уэйкерли Дж. Проектирование цифровых устройств. / Перевод с английского Е. В. Воронова, А. Л. Ларина. тома.1, 2. – М.: Постмаркет, 2002. – 544 с.
2. Угюмов Е.П. Цифровая схемотехника. – СПб.: БХВ, 2000.

2.2. Файлы методических пособий

1. Стенд ПЛИС.pdf
2. UP1 rus.pdf
3. LPM.pdf

3. ПОЯСНЕНИЯ ПО ЭКЗАМЕНУ

3.1. Структура билетов

1. Вопрос 1 – Элементная база программируемой логики.
2. Вопрос 2 – Проектирование ЦУ на ПЛИС.
3. Вопрос 3 – Язык описания аппаратуры Altera HDL.

3.1. Особенности сдачи экзамена

1. Время подготовки к ответу на вопросы билета 15 – 20 мин.
2. Повышение оценки по основным вопросам билета возможно с помощью ответов на дополнительные вопросы преподавателя. Количество дополнительных вопросов не более 2-х.
3. На экзамене не разрешается пользоваться любыми материалами, за исключением материалов, разрешенных преподавателем (допустимость использования материалов определяется преподавателем на экзамене для каждого конкретного вопроса).