

*Факультет радиотехники, электроники и связи,  
кафедра радиотехнических систем*

Р. А. Мясльк

# ***Средства разработки и реализации современных цифровых устройств***

(Избранные иллюстрации к лекциям)

### Общая характеристика

- Аппаратные цифровые устройства с программируемой конфигурацией
- Высокое эквивалентное быстродействие
- Возможность реконфигурирования в устройстве и при его работе
- Наличие средств встроенного контроля (**BST, JTAG**)
- Средства проектирования:
  - Языки описания аппаратуры (**HDL – Hardware Description Languages**)
  - Замкнутость цикла разработки и отладки в рамках персональных САПР

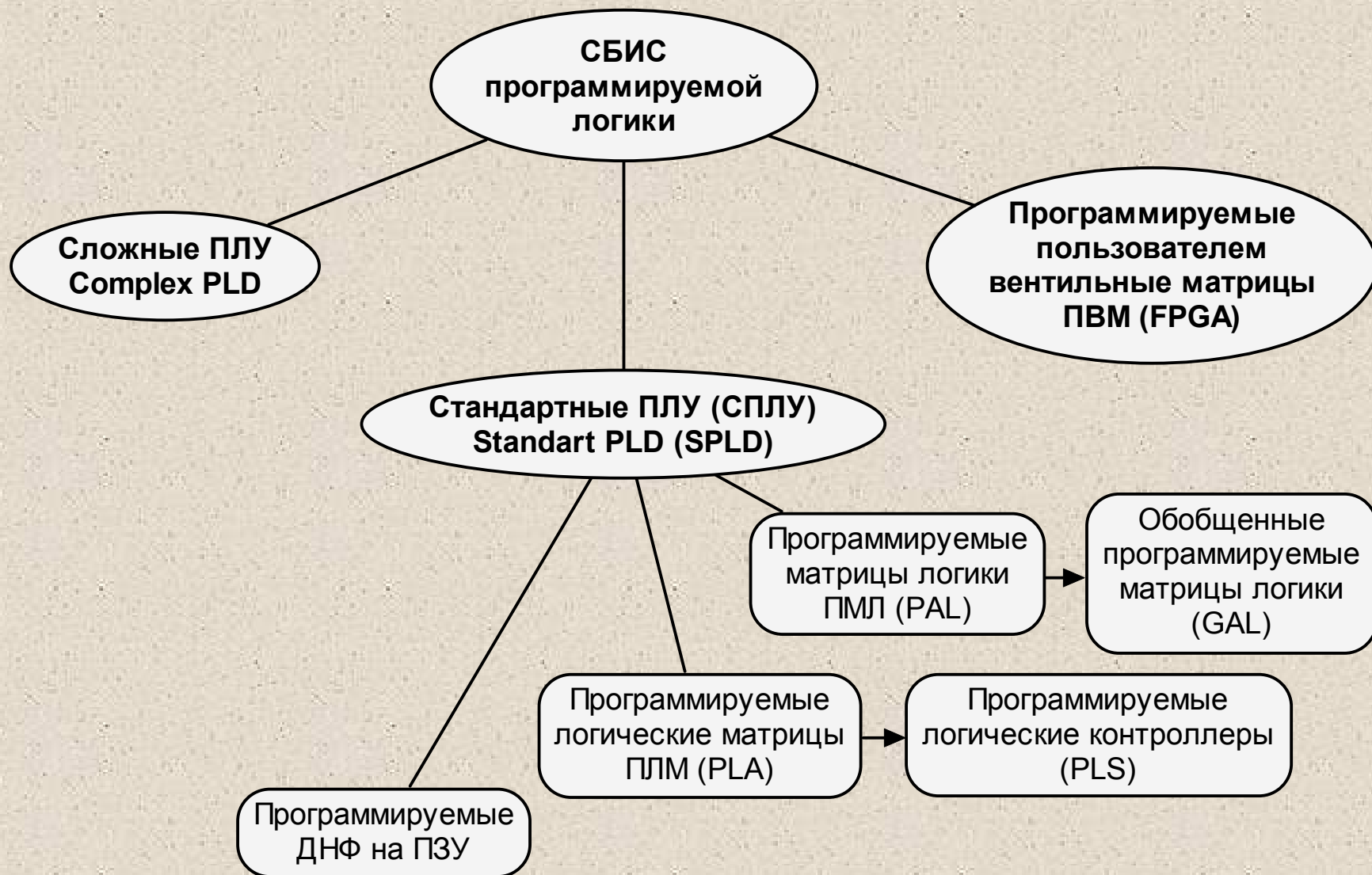
### Тенденции развития

- Уменьшение проектных допусков (до 0,13 мкм)
- Снижение напряжения питания (до 1,5 В)
- Снижение цен
- Рост логической ёмкости (свыше 1 млн. вентилей)
- Интеграция цифровых систем на одном кристалле (**SoC, CSoC, SoPC**)
  - Универсальные микроконтроллеры и микропроцессоры
  - Аппаратные цифровые устройства
  - Периферия
- Использование готовых функциональных узлов
- Интеграция САПР со средствами третьих фирм

## Основные типы специализированных СБИС



## Основные типы СБИС программируемой логики



### Схемотехнический потенциал

- **Логическая ёмкость**
- **Число пользовательских выводов**
- **Быстродействие**
- **Объём доступной пользователю встроенной памяти**

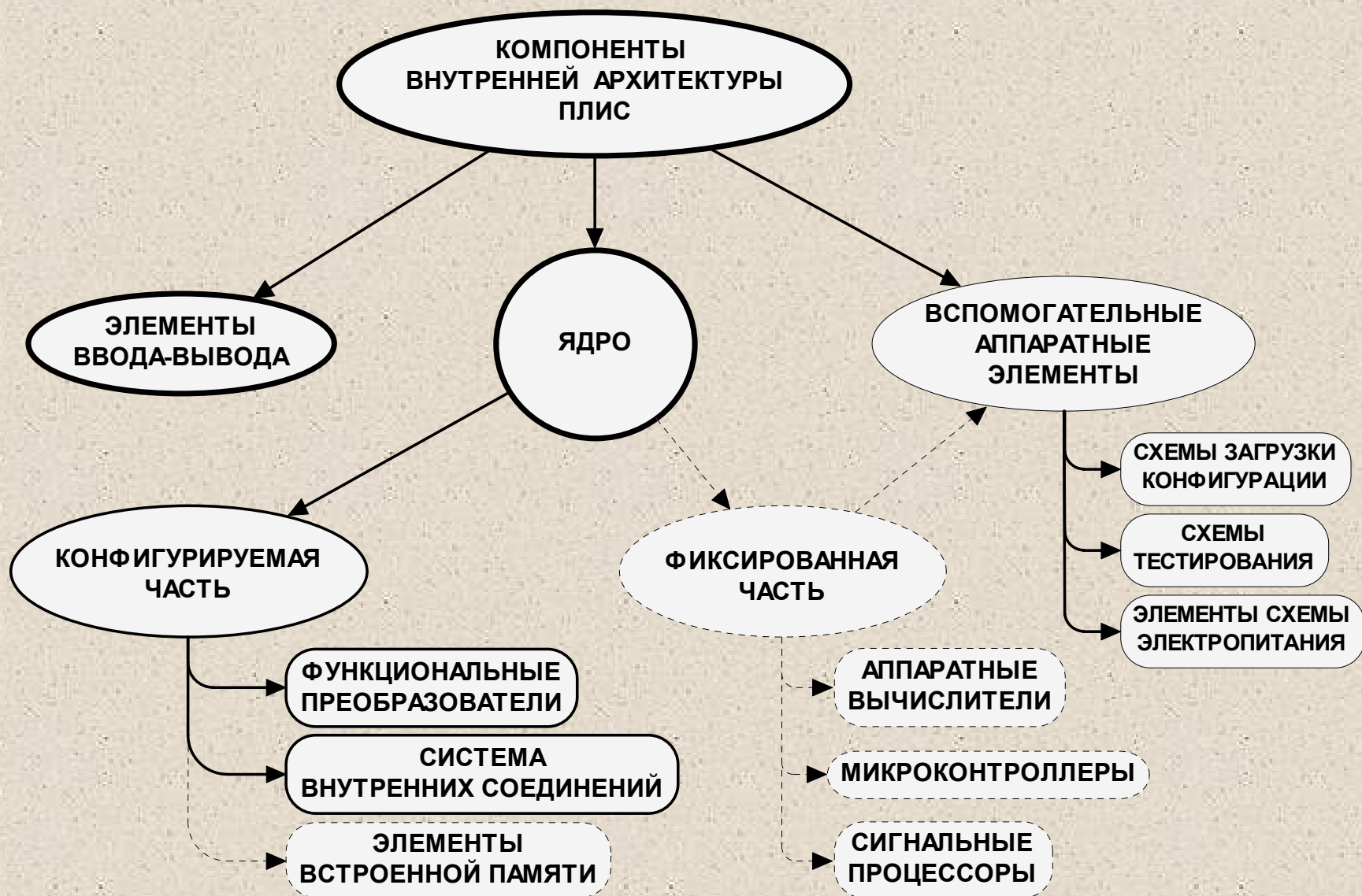
### Эксплуатационные характеристики

- **Тип программирования**
- **Напряжение питания**
- **Логические уровни**
- **Потребляемая мощность**
- **Параметры внешней среды**
- **Надёжность**

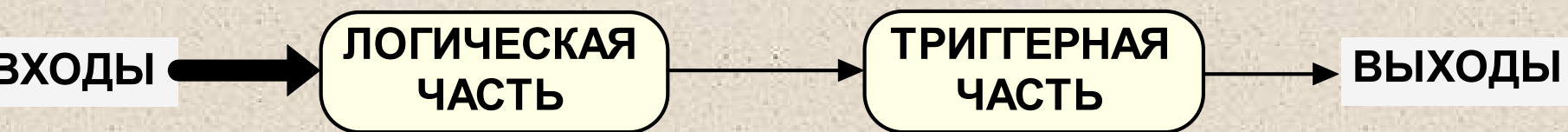
### Привлекательность использования

- **Стоимость**
- **Распространённость на рынке**
- **Характеристики и доступность средств проектирования**

## Типовые компоненты архитектуры ПЛИС

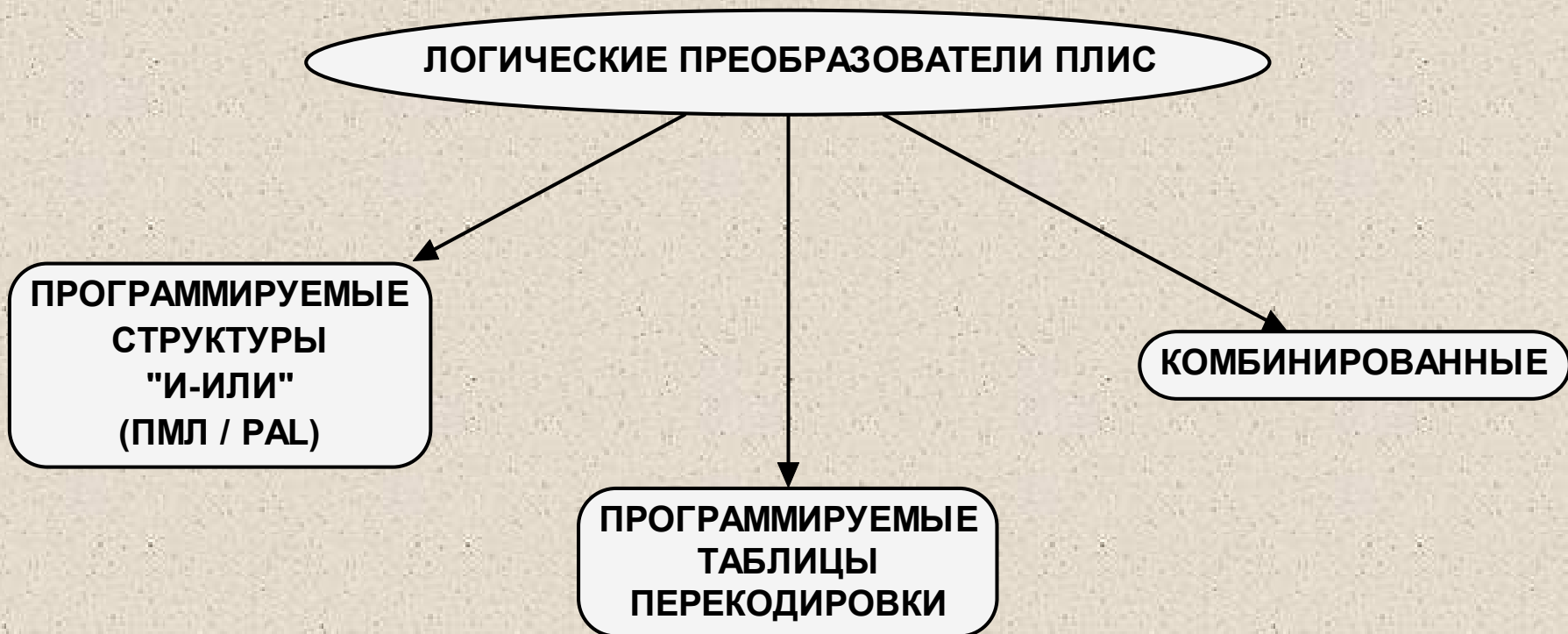


Обобщённая структура функционального преобразователя ПЛИС



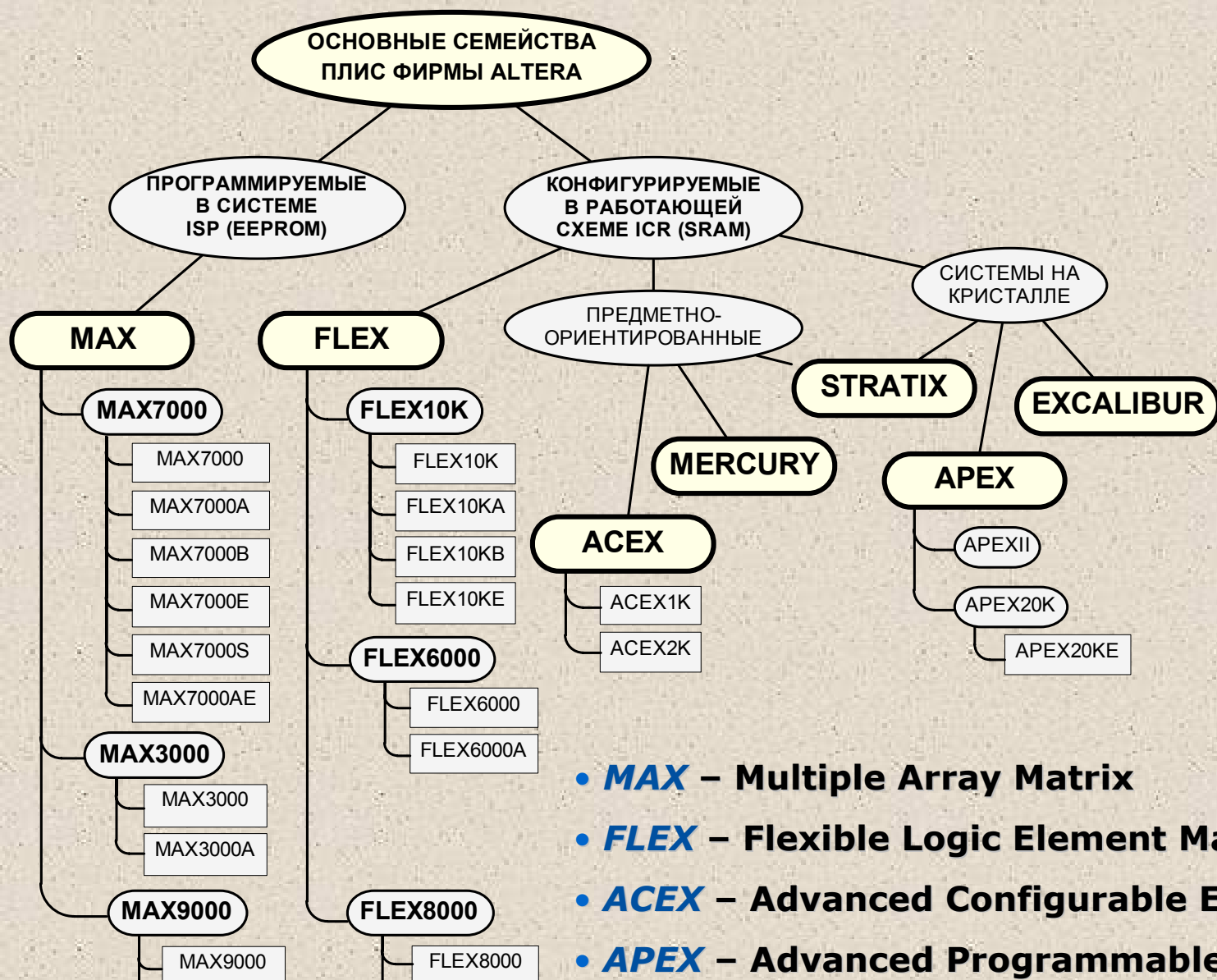


Основные типы логических преобразователей ПЛИС



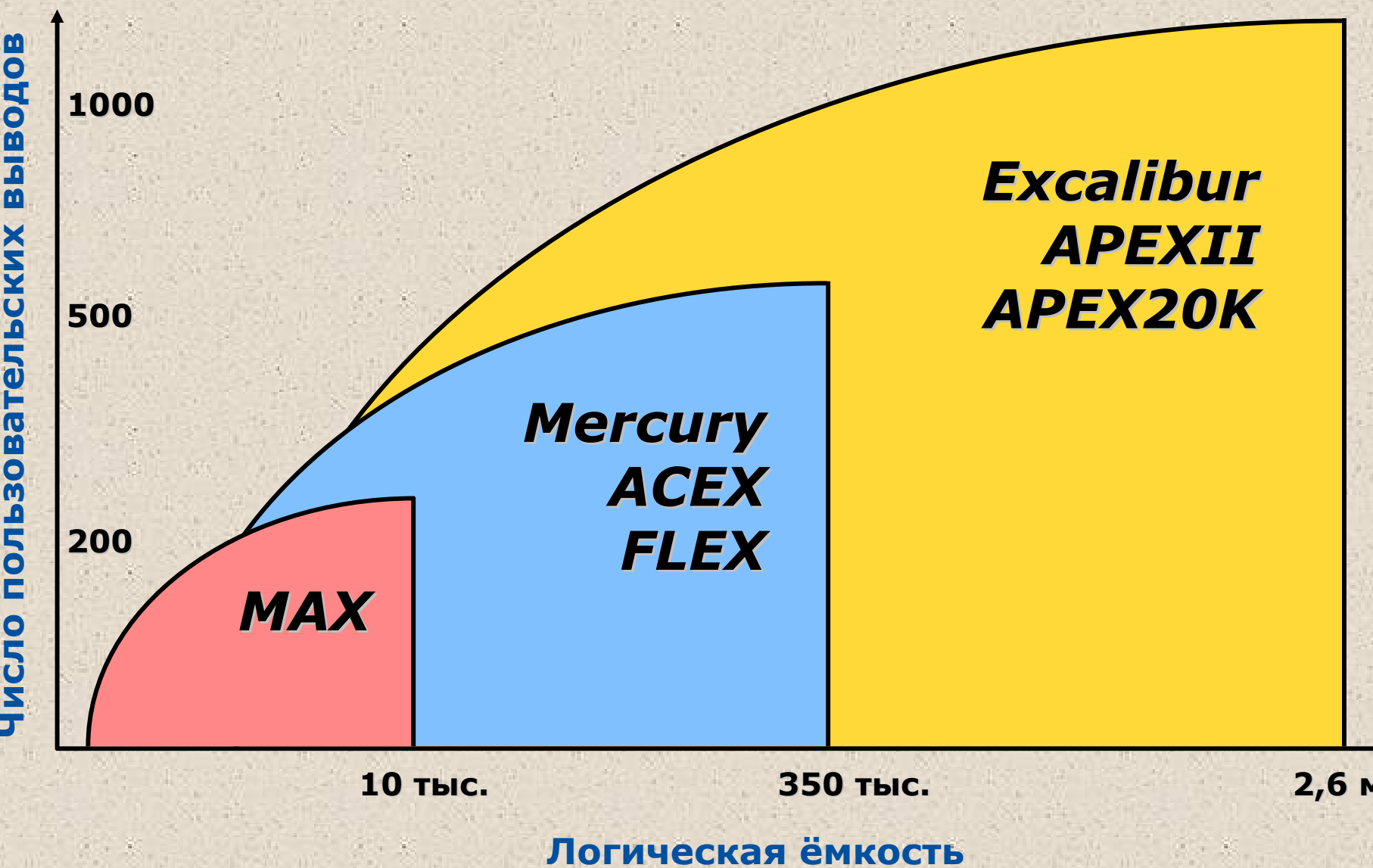


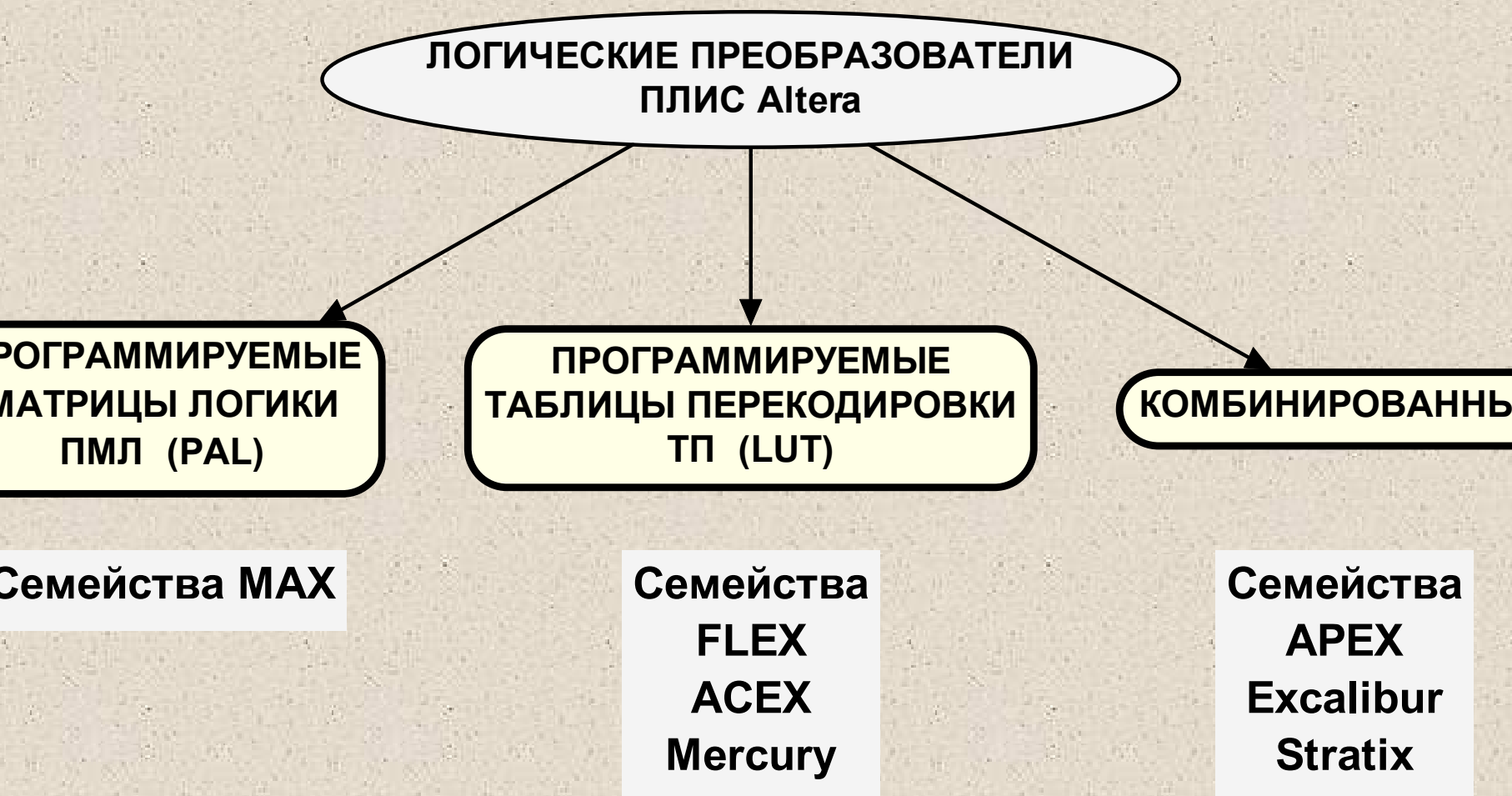
## Основные семейства ПЛИС Altera



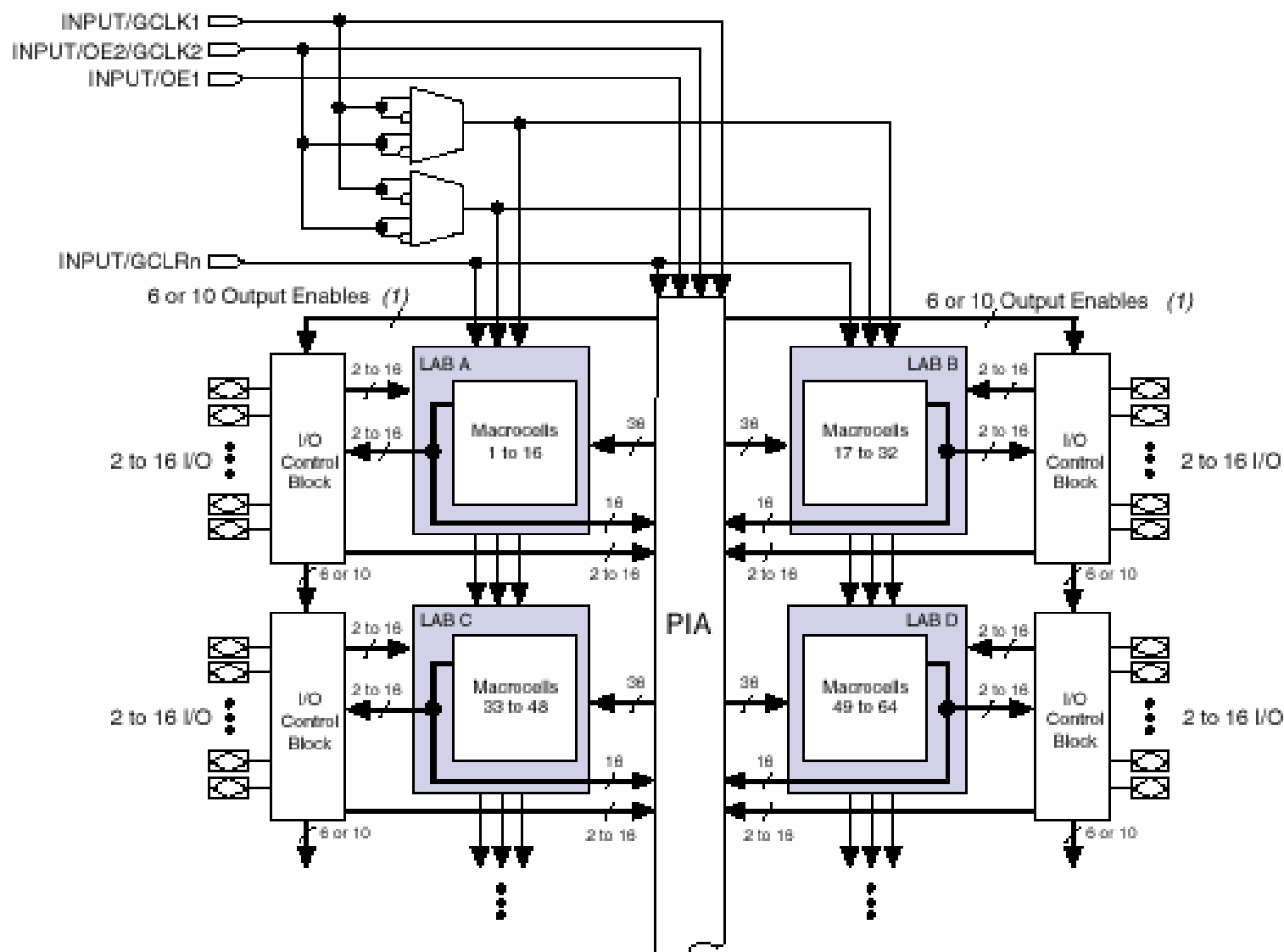
# ства разработки и реализации современных цифровых устройств

Схемотехнический потенциал семейств ПЛИС фирмы Altera

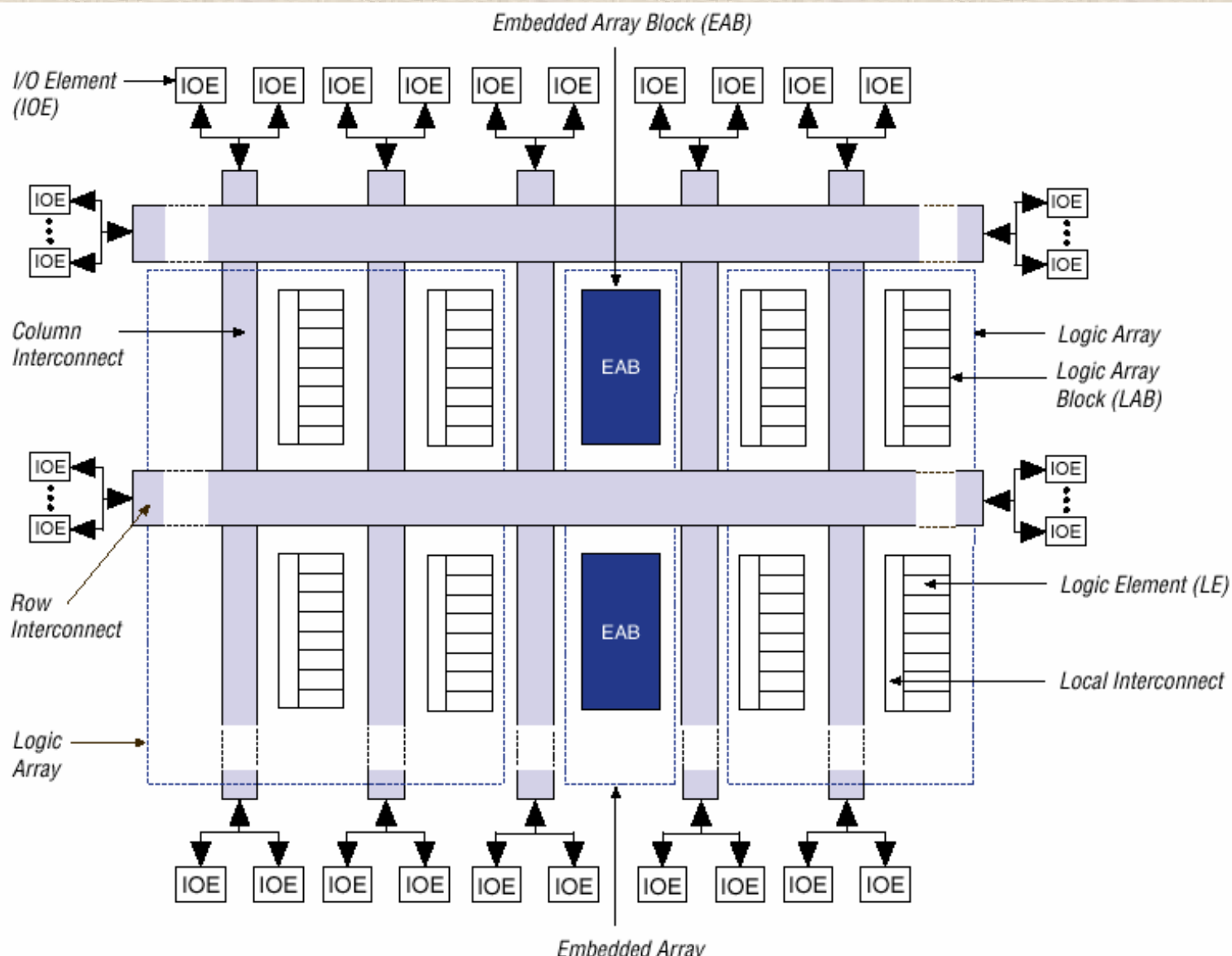




## Архитектура ПЛИС фирмы Altera: семейства MAX3000, MAX7000

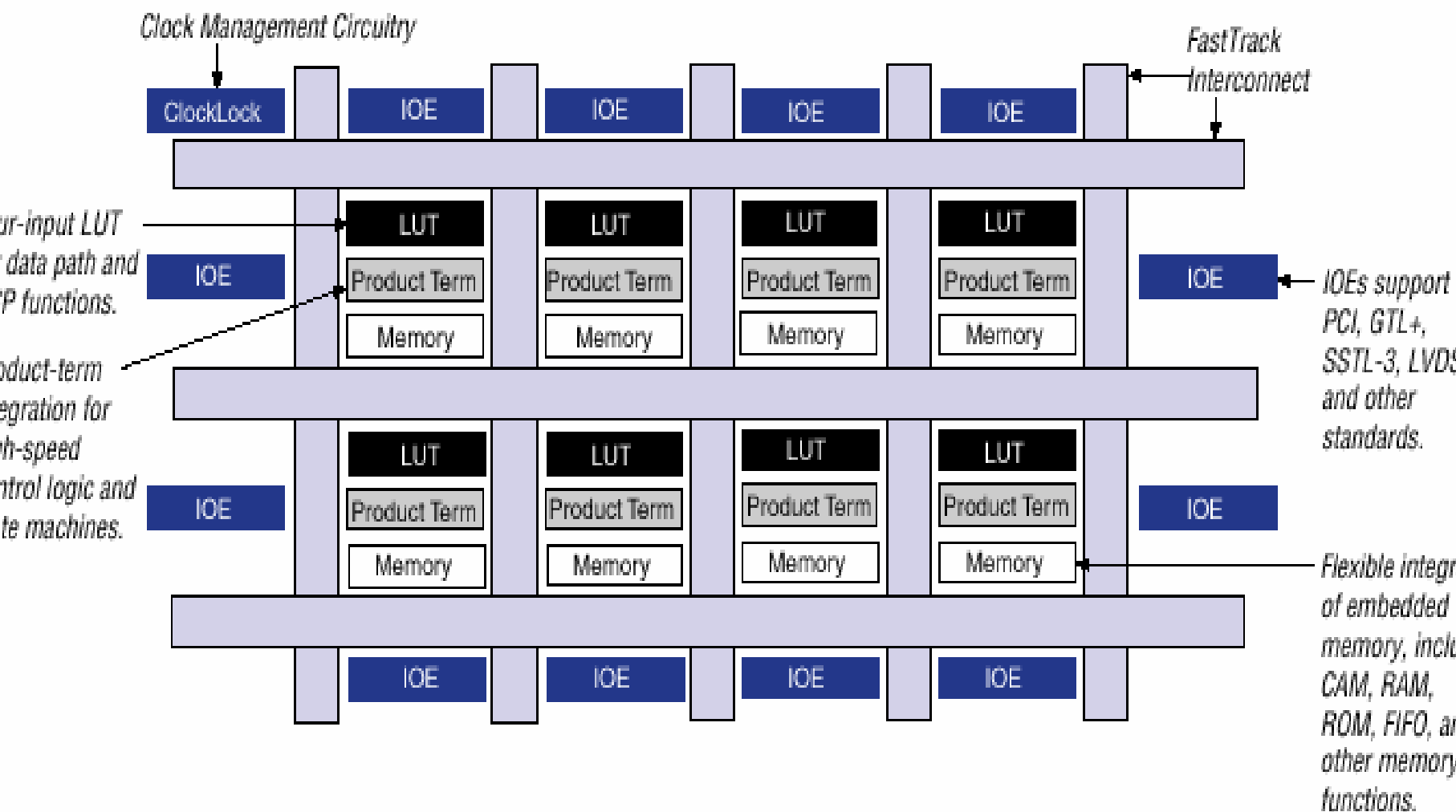


## Архитектура ПЛИС фирмы Altera: семейства FLEX, ACEX

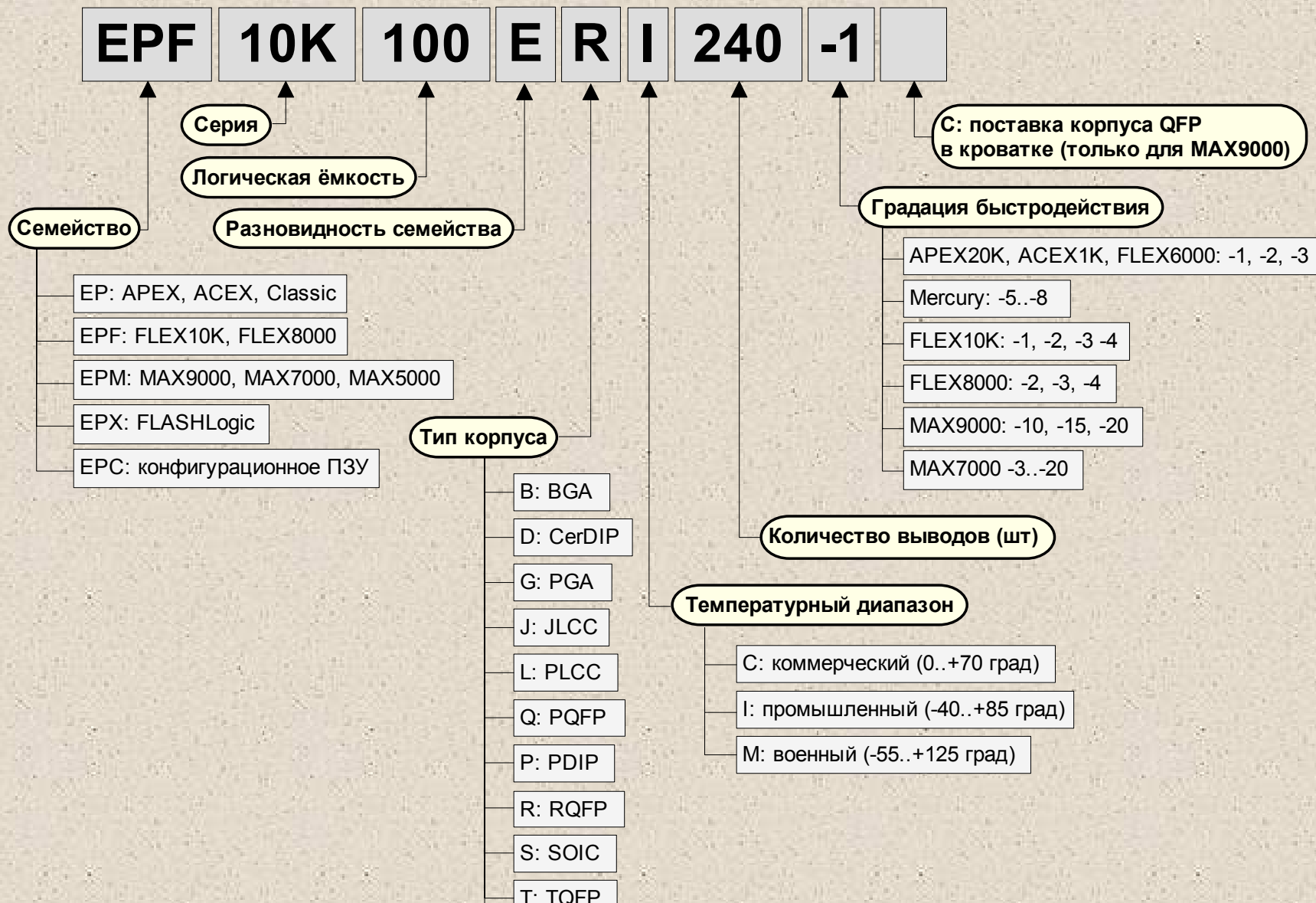


# ства разработки и реализации современных цифровых устройств

## Архитектура ПЛИС фирмы Altera: семейство APEX



## Система обозначений микросхем фирмы Altera





## ства разработки и реализации современных цифровых устройств

### Сводная характеристика ПЛИС фирмы Altera

| Семейство | Число выводов, шт | Логическая ёмкость, типовых вентилях | Встроенная память, бит | Напряжение питания, В |
|-----------|-------------------|--------------------------------------|------------------------|-----------------------|
| MAX20K    | 250 – 780         | 263000 – 2670000                     | 24576 – 442368         | 2,5;                  |
| Mercury   | 303, 486          | 120000, 350000                       | 49152, 114688          |                       |
| MAX1K     | 66 – 333(6)       | 10000 – 100000                       | 12288 – 49152          |                       |
| MAX10K    | 59 – 470(6)       | 10000 – 250000                       | 6144 – 40960           | 5,0; 3,3;             |
| MAX6000   | 71 – 218(4)       | 16000 – 24000                        | отсутствует            | 5,0;                  |
| MAX9000   | 52 – 216(4)       | 10000 – 12000                        | отсутствует            |                       |
| MAX7000   | 36 – 212(4)       | 600 – 10000                          | отсутствует            | 5,0; 3,3;             |
| MAX3000   | 34 – 158(4)       | 600 – 5000                           | отсутствует            |                       |
| MAX8000   | 68 – 208(4)       | 25000 – 16000                        | отсутствует            | 5,0;                  |
| MAX5000   | 28 – 100()        | 600 – 3750                           | отсутствует            |                       |
| Classic   | 22 – 68(4)        | 300 – 900                            | отсутствует            |                       |

## ства разработки и реализации современных цифровых устройств

Корпуса микросхем фирмы Altera

| Тип корпуса     | Характеристика                           | Материал выводов | Покрывае<br>выводов |
|-----------------|------------------------------------------|------------------|---------------------|
| DIP             | Ceramic dual in-line                     | Сплав 42         | Лужение             |
| CP              | Plastic dual in-line                     | Медь             | Лужение             |
| C               | Ceramic J-lead chip carrier              | Сплав 42         | Лужение             |
| CC              | Plastic J-lead chip carrier              | Медь             | Лужение             |
| A               | Ceramic pin-grid array                   | Сплав 42         | Никель-зол          |
| IC              | Plastic small-outline integrated circuit | Медь             | Лужение             |
| FP              | Plastic quad flat pack                   | Медь             | Лужение             |
| FP              | Plastic thin quad flat pack              | Медь             | Лужение             |
| FP              | Power quad flat pack                     | Медь             | Лужение             |
| A               | Ball grid array                          | Сплав 63 37      | -                   |
| eLine BGA       | FineLine BGA™                            | Сплав 63 37      | -                   |
| ra FineLine BGA | Ultra FineLine BGA™                      | Сплав 63 37      | -                   |

## Технологии и реализация конфигурирования ПЛИС



### **Средства описания**

- **Языки описания аппаратуры**
- **Графы состояний**
- **Использование готовых модулей описания**

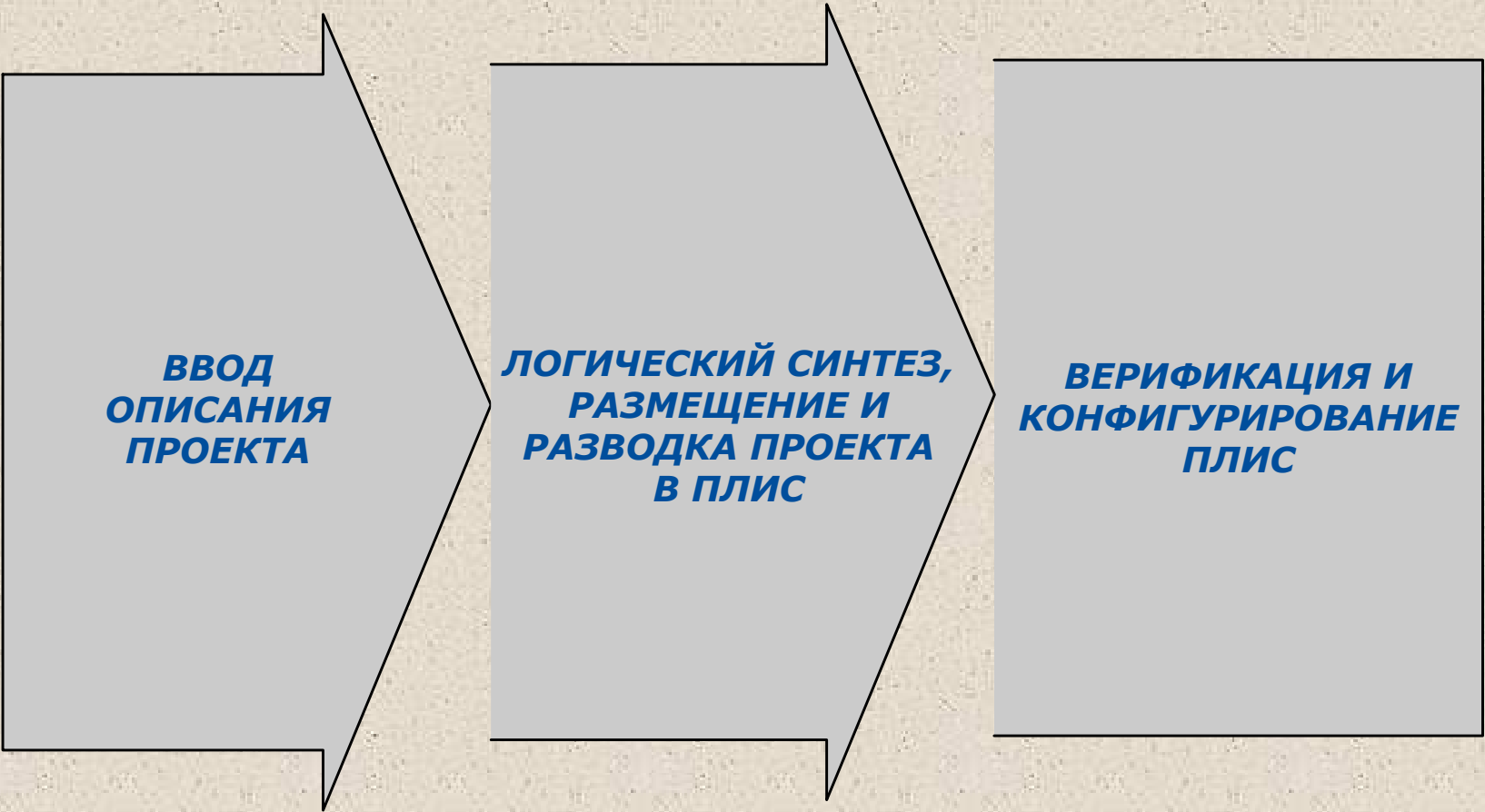
### **Стратегии проектирования**

- **Декомпозиция проектируемого устройства**
- **Иерархическая организация архитектуры**
- **Сочетание поведенческого и структурного описания**
- **Сочетание нисходящего и восходящего проектирования**

### **Маршрут проектирования**

- **Итерационное, рекурсивное проектирование**
- **Поэтапная верификация проекта**
- **Автоматический логический синтез и компиляция проекта**
- **Оптимизация проекта для достижения заданных требований**

## Основные составляющие маршрута проектирования



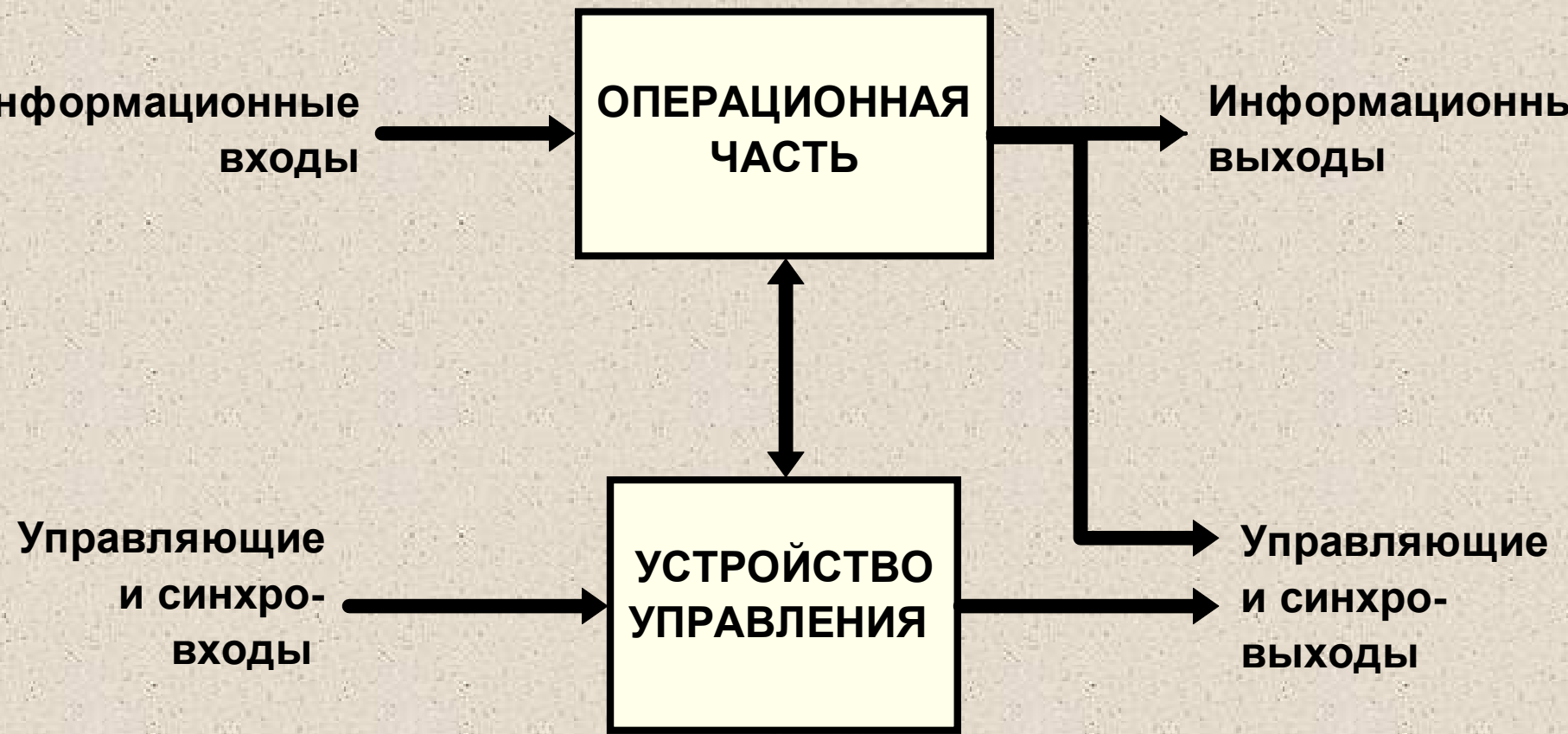
```
graph LR; A[ВВОД ОПИСАНИЯ ПРОЕКТА] --> B[ЛОГИЧЕСКИЙ СИНТЕЗ, РАЗМЕЩЕНИЕ И РАЗВОДКА ПРОЕКТА В ПЛИС]; B --> C[ВЕРИФИКАЦИЯ И КОНФИГУРИРОВАНИЕ ПЛИС];
```

**ВВОД  
ОПИСАНИЯ  
ПРОЕКТА**

**ЛОГИЧЕСКИЙ СИНТЕЗ,  
РАЗМЕЩЕНИЕ И  
РАЗВОДКА ПРОЕКТА  
В ПЛИС**

**ВЕРИФИКАЦИЯ И  
КОНФИГУРИРОВАНИЕ  
ПЛИС**

Типовая декомпозиция проекта



Основные способы описания цифровых устройств





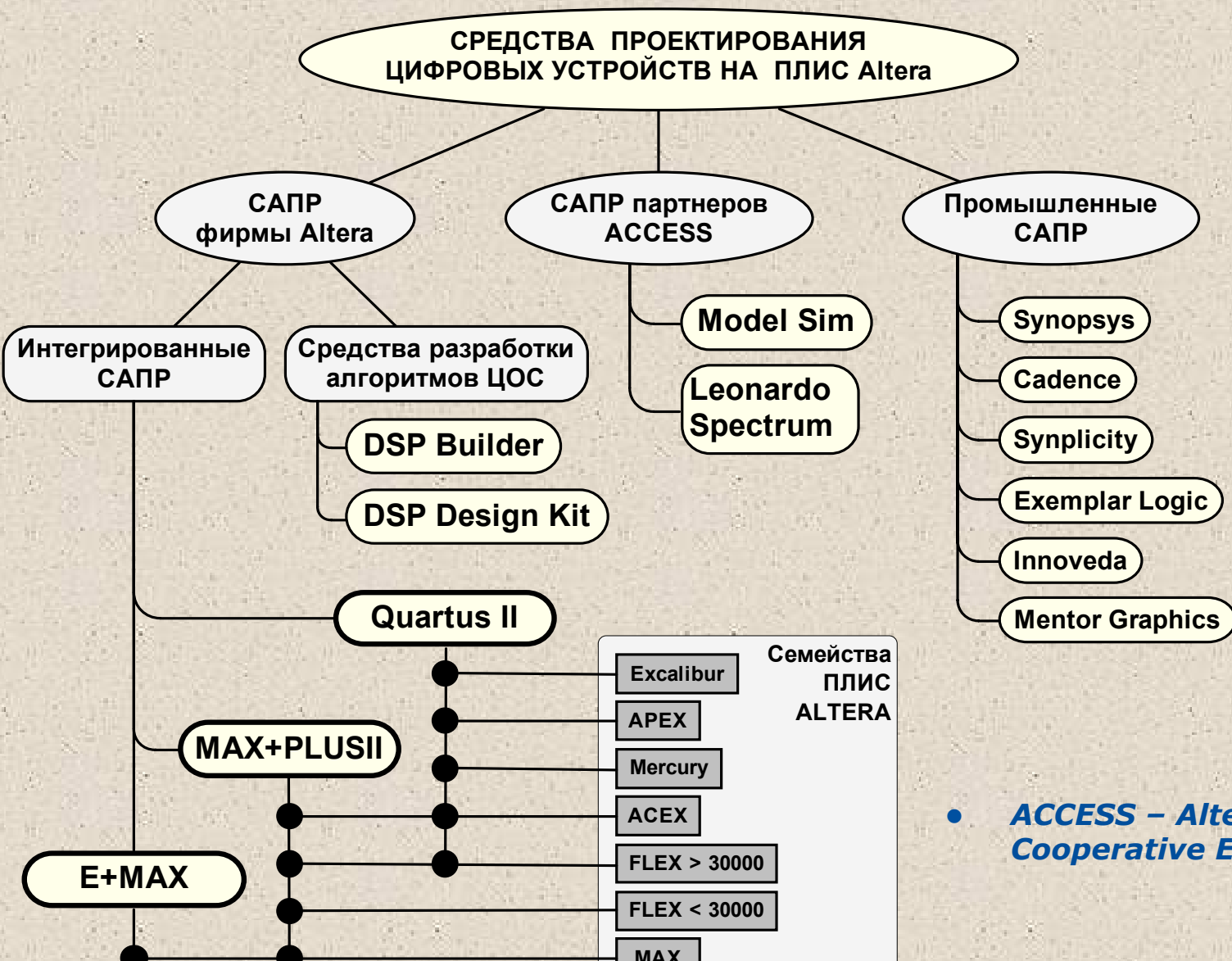
***HDL*** – **Hardware Description Language** – обобщённое название.

***VHDL*** – **VHSIC HDL** – универсальный язык, стандарт IEEE  
– **VHSIC** - **Very High Speed Integrated Sircuit**.

***Verilog HDL*** – универсальный язык фирмы ***Cadence***.

***AHDL*** – **Altera HDL** – язык фирмы ***Altera***.





- **ACCESS – Altera Commitment to Cooperative Engineering Solutions**

### **Основная характеристика**

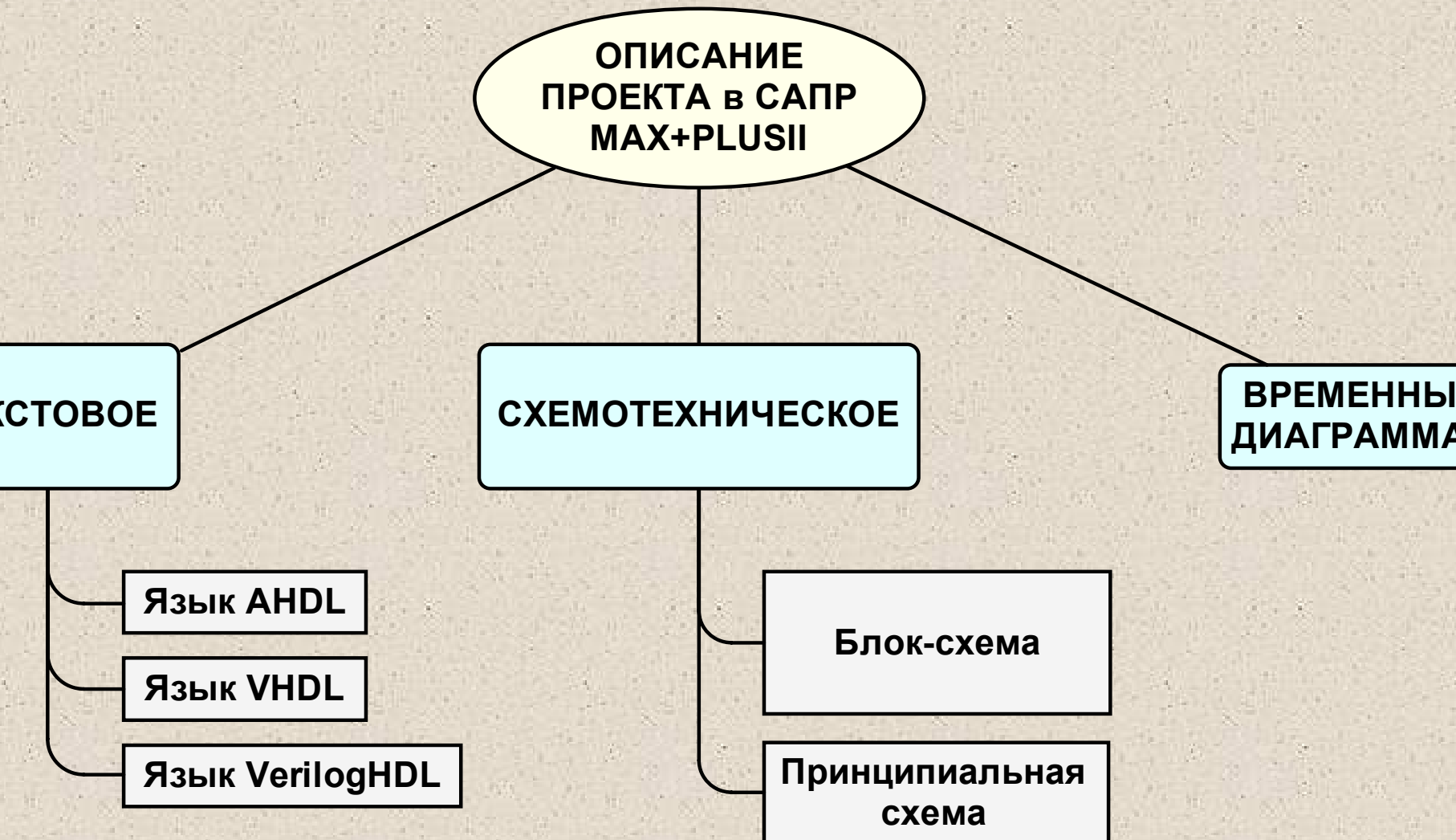
- САПР второго уровня
- САПР фирмы Altera 3-го поколения
- Имеет полностью бесплатные версии

### **Основные возможности**

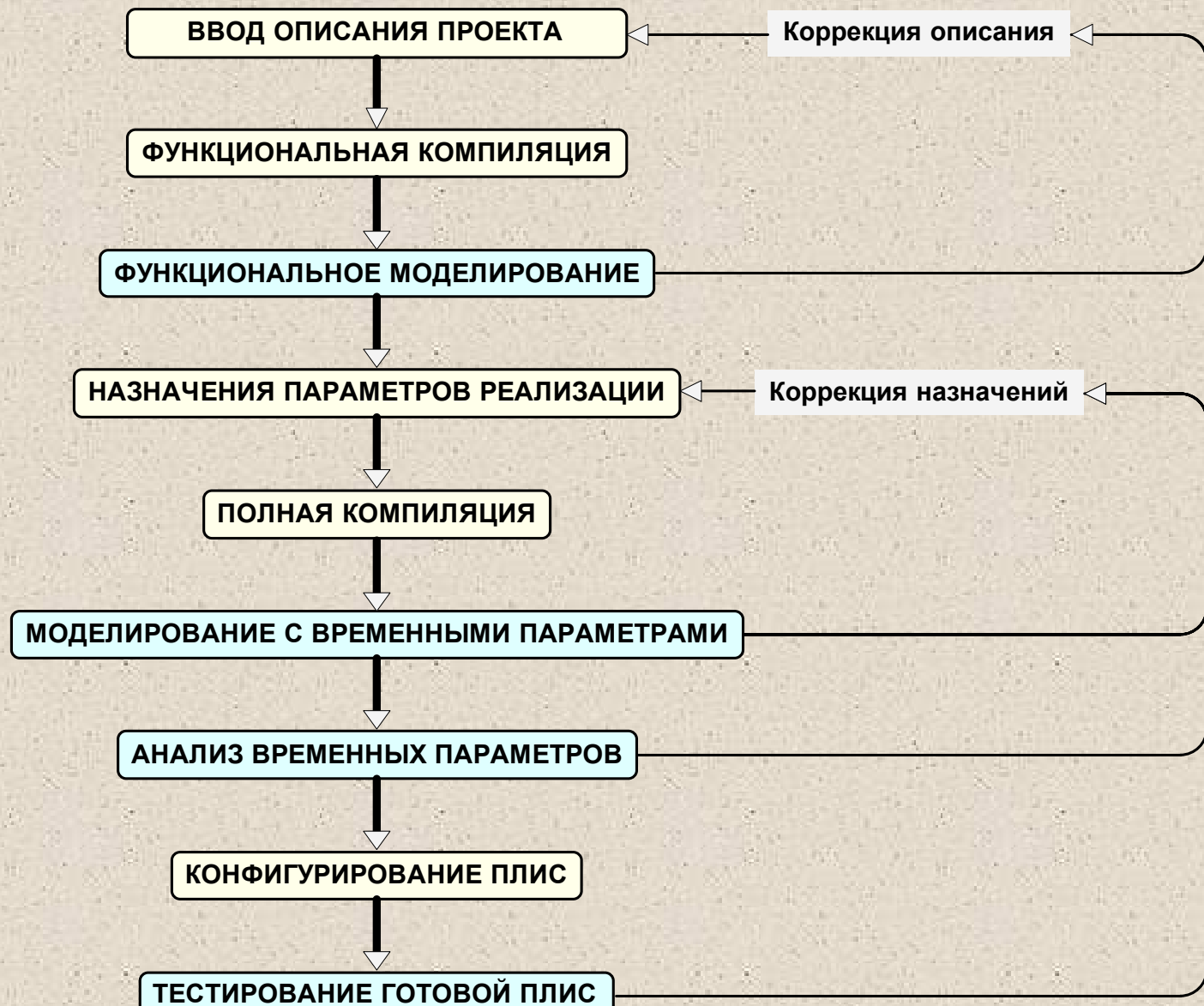
- Интегрирует средства разработки и верификации проекта
- Поддерживает иерархическое описание проекта
- Поддерживает комбинированные способы описания проекта
- Обеспечивает использование внешних САПР

### **Основные ограничения**

- Ориентирован на индивидуальную работу разработчика
- Ориентирован на проектирование одной ПЛИС
- Не имеет встроенных средств работы с Интернетом
- Не имеет встроенных средств внутрисхемного тестирования ПЛИС

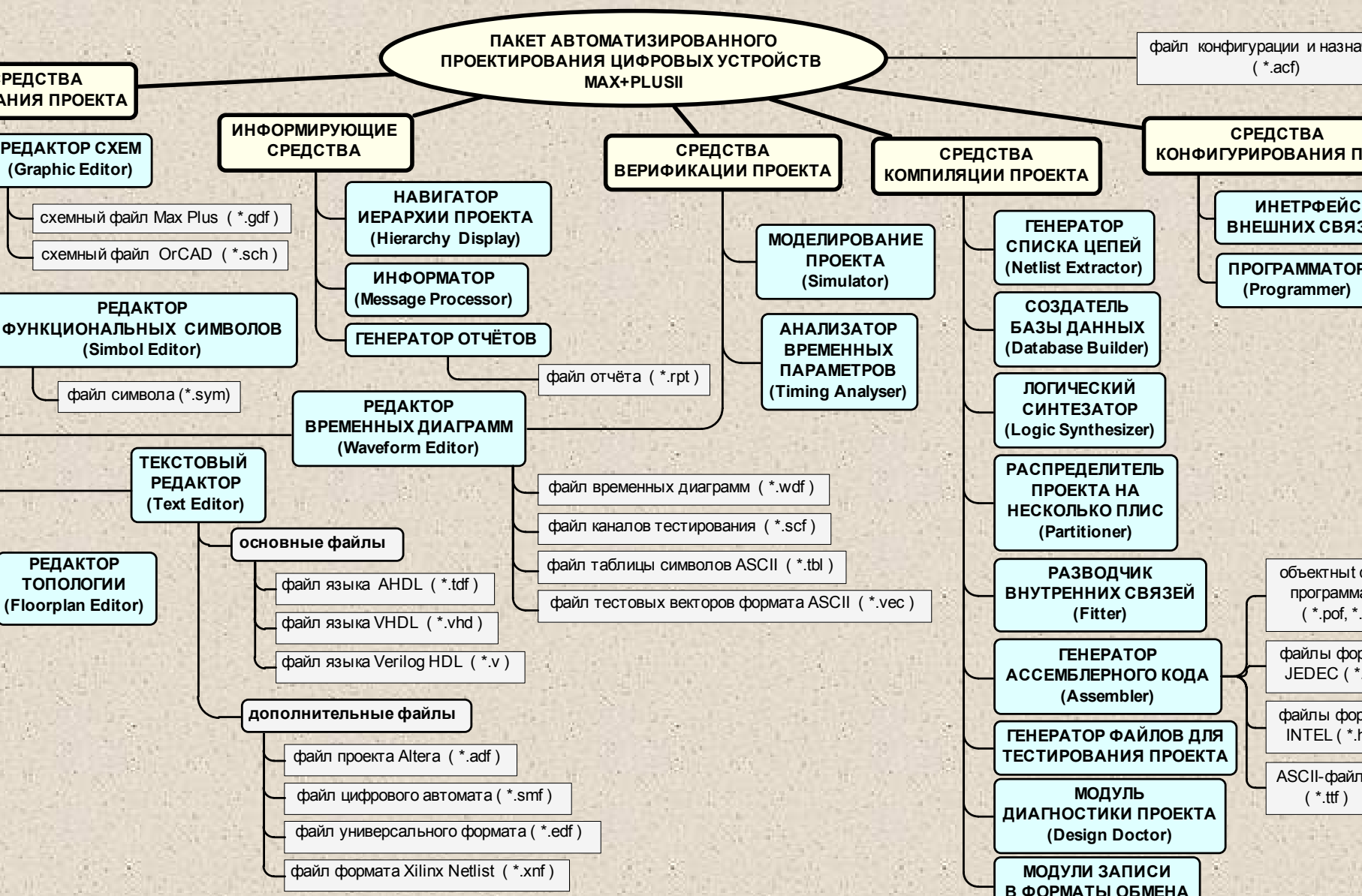


## Типовой маршрут проектирования в САПР Max+Plus II



# Средства разработки и реализации современных цифровых устройств

## Структура приложений и основные рабочие файлы САПР Max+Plus II



# ства разработки и реализации современных цифровых устройств

## Меню диспетчера инструментальных средств САПР Max+Plus II

